

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Akira HOKAZONO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE HAVING METAL SILICIDE FILMS FORMED ON SOURCE AND DRAIN REGIONS AND METHOD FOR MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

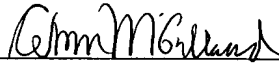
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-077648	March 20, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

E. Irvin McClelland
Registration Number 21,124

0351431

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 0 日
Date of Application:

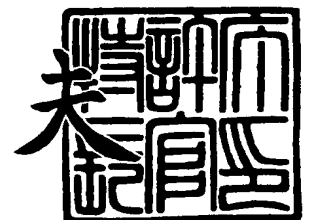
出 願 番 号 特 願 2 0 0 3 - 0 7 7 6 4 8
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 7 7 6 4 8]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 1 0 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 0 8 0 8

【書類名】 特許願

【整理番号】 A000300802

【提出日】 平成15年 3月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/265

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 18

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 外園 明

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 大内 和也

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 p 型のシリコン半導体領域と、
上記シリコン半導体領域の表面領域に形成された n 型拡散領域と、
上記 n 型拡散領域の表面領域に形成された Ni シリサイド膜とを具備し、
上記 Ni シリサイド膜の表面から深さ方向に p 型不純物が導入されており、この p 型不純物は、上記 Ni シリサイド膜内の所定の深さ位置で $1 \times 10^{20} \text{ (cm}^{-3}\text{)}$ 以上のピーク濃度を持ち、かつ上記 Ni シリサイド膜と n 型拡散領域との界面及びこれよりも深い位置における濃度が $5 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以下となるような不純物プロファイルを有していることを特徴とする半導体装置。

【請求項 2】 p 型のシリコン半導体領域と、
上記シリコン半導体領域の表面領域に互いに離間して形成された一対の n 型拡散領域と、
上記一対の n 型拡散領域相互間の上記シリコン半導体領域上にゲート絶縁膜を介して形成され、シリコンを含むゲート電極と、
上記一対の n 型拡散領域の各表面領域及び上記ゲート電極の上部表面領域にそれぞれ形成された Ni シリサイド膜とを具備し、
上記一対の n 型拡散領域の各表面領域にそれぞれ形成された上記 Ni シリサイド膜の表面から深さ方向に p 型不純物が導入されており、この p 型不純物は、上記 Ni シリサイド膜内の所定の深さ位置で $1 \times 10^{20} \text{ (cm}^{-3}\text{)}$ 以上のピーク濃度を持ち、かつ上記 Ni シリサイド膜と n 型拡散領域との界面及びこれよりも深い位置における濃度が $5 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以下となるような不純物プロファイルを有していることを特徴とする半導体装置。

【請求項 3】 前記 p 型不純物が B または F であることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記 Ni シリサイド膜が NiSi 膜であることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 5】 前記 p 型不純物は、前記 Ni シリサイド膜の表面から 30 (

n m) の深さ位置で濃度のピークを持つことを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 6】 前記 n 型拡散領域が MOS トランジスタのソースまたはドレイン領域であることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 少なくとも前記 n 型拡散領域上に形成されたコンタクトライナー膜をさらに具備したことを特徴とする請求項 1 記載の半導体装置。

【請求項 8】 前記コンタクトライナー膜に形成された開口を介して前記 n 型拡散領域にコンタクトする電極をさらに具備したことを特徴とする請求項 6 記載の半導体装置。

【請求項 9】 前記一对の n 型拡散領域上に形成されたコンタクトライナー膜をさらに具備したことを特徴とする請求項 2 記載の半導体装置。

【請求項 10】 前記コンタクトライナー膜に形成された開口を介して前記一对の n 型拡散領域にコンタクトする一对の電極をさらに具備したことを特徴とする請求項 9 記載の半導体装置。

【請求項 11】 p 型のシリコン半導体領域の表面に n 型の不純物イオンを選択的に導入する工程と、

上記シリコン半導体領域の表面全面に p 型の不純物イオンを導入する工程と、

上記 n 型及び p 型の不純物イオンを活性化して、上記シリコン半導体領域の表面に n 型拡散領域を形成する工程と、

上記 n 型拡散領域の表面に Ni を堆積した後、熱処理を行って上記 n 型拡散領域の表面領域に Ni シリサイド膜を形成する工程とを具備し、

上記 Ni シリサイド膜の形成後に上記 Ni シリサイド膜の所定の深さ位置で $1 \times 10^{20} \text{ (cm}^{-3}\text{)}$ 以上のピーク濃度を持ち、かつ上記 Ni シリサイド膜と n 型拡散領域との界面及びこれよりも深い位置における濃度が $5 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以下となる不純物プロファイルとなるように上記 p 型不純物のイオン注入を行うことを特徴とする半導体装置の製造方法。

【請求項 12】 p 型のシリコン半導体領域の表面全面に p 型の不純物イオンを導入する工程と、

上記シリコン半導体領域の表面に n 型の不純物イオンを選択的に導入する工程

と、

上記 p 型及び n 型の不純物イオンを活性化して、上記シリコン半導体領域の表面に n 型拡散領域を形成する工程と、

上記 n 型拡散領域の表面に N i を堆積した後、熱処理を行って上記 n 型拡散領域の表面領域に N i シリサイド膜を形成する工程とを具備し、

上記 N i シリサイド膜の形成後に上記 N i シリサイド膜の所定の深さ位置で $1 \text{ E } 20 \text{ (cm}^{-3}\text{)}$ 以上のピーク濃度を持ち、かつ上記 N i シリサイド膜と n 型拡散領域との界面及びこれよりも深い位置における濃度が $5 \text{ E } 19 \text{ (cm}^{-3}\text{)}$ 以下となる不純物プロファイルとなるように上記 p 型不純物のイオン注入を行うことを特徴とする半導体装置の製造方法。

【請求項 1 3】 p 型のシリコン半導体領域の表面に n 型の不純物イオンを選択的に導入する工程と、

上記 n 型の不純物イオンを活性化して、上記シリコン半導体領域の表面に n 型拡散領域を形成する工程と、

上記シリコン半導体領域の表面全面に p 型の不純物イオンを導入して、シリコン半導体領域の表面をアモルファス化する工程と、

上記 n 型拡散領域の表面に N i を堆積した後、熱処理を行って上記 n 型拡散領域の表面領域に N i シリサイド膜を形成する工程とを具備し、

上記 N i シリサイド膜の形成後に上記 N i シリサイド膜の所定の深さ位置で $1 \text{ E } 20 \text{ (cm}^{-3}\text{)}$ 以上のピーク濃度を持ち、かつ上記 N i シリサイド膜と n 型拡散領域との界面及びこれよりも深い位置における濃度が $5 \text{ E } 19 \text{ (cm}^{-3}\text{)}$ 以下となる不純物プロファイルとなるように上記 p 型不純物のイオン注入を行うことを特徴とする半導体装置の製造方法。

【請求項 1 4】 前記 p 型不純物として B イオンまたは B F_2 イオンを導入することを特徴とする請求項 1 1 ないし 1 3 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 1 5】 前記 N i シリサイド膜として N i S i 膜を形成することを特徴とする請求項 1 1 ないし 1 3 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 1 6】 前記 N i シリサイド膜の表面から 30 (nm) の深さ位置

で濃度のピークを持つように前記 p 型不純物のイオンが導入されることを特徴とする請求項 1 1 ないし 1 3 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 1 7】 少なくとも前記 n 型拡散領域上にコンタクトライナー膜を形成する工程をさらに具備したことを特徴とする請求項 1 1 ないし 1 3 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 1 8】 前記コンタクトライナー膜に開口を形成し、前記 n 型拡散領域にコンタクトする電極を形成する工程をさらに具備したことを特徴とする請求項 1 1 ないし 1 3 のいずれか 1 項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、ソース／ドレイン領域上やゲート電極上に N i シリサイド膜が形成された半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

CMOS 型半導体装置では、ソース／ドレイン領域やゲート電極上に N i シリサイド膜を自己整合的に形成し、それぞれの配線抵抗を低減させることで、動作の高速化を達成しているものがある（例えば、非特許文献 1 参照）。

【0 0 0 3】

N i シリサイド膜の形成後は、コンタクトプラグを形成するために、層間絶縁膜に対し、ソース／ドレイン領域に通じるコンタクトホールが開口される。このコンタクトホールを開口する際に、R I E（Reactive Ion Etching）によって N i シリサイド膜及びその下部のソース／ドレイン領域がエッチングされると、接合リーク特性が劣化する。

【0 0 0 4】

このような接合リーク特性の劣化を防止するため、層間絶縁膜を形成する前に、この層間絶縁膜に対して選択比の高いコンタクトライナー膜を N i シリサイド膜上を含む全面に形成し、エッチングを 2 段階で行って、つまり、層間絶縁膜とコンタクトライナー膜を別々にエッチングして、コンタクトホールを開口する方

法が用いられる。なお、上記コンタクトライナー膜としては一般にシリコン窒化膜が使用される。

【 0 0 0 5 】

ところで、CMOS型半導体装置の特にNMOSトランジスタ領域において、ソース／ドレイン領域上に形成されたNiシリサイド膜は、コンタクトライナー膜の形成前の処理であるウェット処理の段階でエッチングされ易いという問題がある。Niシリサイド膜がエッチングされてしまうと、Niシリサイド膜のシート抵抗の上昇や接合リークが生じる。さらに、ソース／ドレイン領域上のNiシリサイド膜上に形成されたコンタクトライナー膜は剥がれ易く、コンタクトライナー膜が剥がれた場合には、それがダストの原因となり、その後のインテグレーション自体が困難となる。

【 0 0 0 6 】

【非特許文献 1】

T.Ohguro 他による「Analysis of Anomalously Large Junction Leakage Current of Nickel Sillicided N-Type Diffused Layer and Its Improvement」 Extended Abstract of the 1993 International Conference on Solid State Devices and Materials, 1993, pp. 192-194

【 0 0 0 7 】

【発明が解決しようとする課題】

このように、従来のCMOS型半導体装置では、NMOSトランジスタ領域におけるソース／ドレイン領域上に形成されたNiシリサイド膜はエッチングされ易く、かつソース／ドレイン領域上のNiシリサイド膜上に形成されるコンタクトライナー膜が剥がれ易いという問題がある。

【 0 0 0 8 】

この発明は上記のような事情を考慮してなされたものであり、その目的は、NMOSトランジスタ領域におけるソース／ドレイン領域上に形成されるNiシリサイド膜をエッチングされ難くすることができ、かつソース／ドレイン領域上のNiシリサイド膜上に形成されるコンタクトライナー膜の剥がれを防止することができる半導体装置及びその製造方法を提供することである。

【0009】

【課題を解決するための手段】

この発明の半導体装置は、p型のシリコン半導体領域と、上記シリコン半導体領域の表面領域に形成されたn型拡散領域と、上記n型拡散領域の表面領域に形成されたNiシリサイド膜とを具備し、上記Niシリサイド膜の表面から深さ方向にp型不純物が導入されており、このp型不純物は、上記Niシリサイド膜内の所定の深さ位置で $1 \times 10^{20} \text{ (cm}^{-3}\text{)}$ 以上のピーク濃度を持ち、かつ上記Niシリサイド膜とn型拡散領域との界面及びこれよりも深い位置における濃度が $5 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以下となるような不純物プロファイルを有している。

【0010】

この発明の半導体装置は、p型のシリコン半導体領域と、上記シリコン半導体領域の表面領域に互いに離間して形成された一対のn型拡散領域と、上記一対のn型拡散領域相互間の上記シリコン半導体領域上にゲート絶縁膜を介して形成され、シリコンを含むゲート電極と、上記一対のn型拡散領域の各表面領域及び上記ゲート電極の上部表面領域にそれぞれ形成されたNiシリサイド膜とを具備し、上記一対のn型拡散領域の各表面領域にそれぞれ形成された上記Niシリサイド膜の表面から深さ方向にp型不純物が導入されており、このp型不純物は、上記Niシリサイド膜内の所定の深さ位置で $1 \times 10^{20} \text{ (cm}^{-3}\text{)}$ 以上のピーク濃度を持ち、かつ上記Niシリサイド膜とn型拡散領域との界面及びこれよりも深い位置における濃度が $5 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以下となるような不純物プロファイルを有している。

【0011】

この発明の半導体装置の製造方法は、p型のシリコン半導体領域の表面にn型の不純物イオンを選択的に導入する工程と、上記シリコン半導体領域の表面全面にp型の不純物イオンを導入する工程と、上記n型及びp型の不純物イオンを活性化して、上記シリコン半導体領域の表面にn型拡散領域を形成する工程と、上記n型拡散領域の表面にNiを堆積した後、熱処理を行って上記n型拡散領域の表面領域にNiシリサイド膜を形成する工程とを具備し、上記Niシリサイド膜の形成後に上記Niシリサイド膜の所定の深さ位置で $1 \times 10^{20} \text{ (cm}^{-3}\text{)}$ 以上の

ピーク濃度を持ち、かつ上記Niシリサイド膜とn型拡散領域との界面及びこれよりも深い位置における濃度が $5 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以下となる不純物プロファイルとなるように上記p型不純物のイオン注入を行うようにしている。

【0012】

この発明の半導体装置の製造方法は、p型のシリコン半導体領域の表面全面にp型の不純物イオンを導入する工程と、上記シリコン半導体領域の表面にn型の不純物イオンを選択的に導入する工程と、上記p型及びn型の不純物イオンを活性化して、上記シリコン半導体領域の表面にn型拡散領域を形成する工程と、上記n型拡散領域の表面にNiを堆積した後、熱処理を行って上記n型拡散領域の表面領域にNiシリサイド膜を形成する工程とを具備し、上記Niシリサイド膜の形成後に上記Niシリサイド膜の所定の深さ位置で $1 \times 10^{20} \text{ (cm}^{-3}\text{)}$ 以上のピーク濃度を持ち、かつ上記Niシリサイド膜とn型拡散領域との界面及びこれよりも深い位置における濃度が $5 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以下となる不純物プロファイルとなるように上記p型不純物のイオン注入を行うようにしている。

【0013】

この発明の半導体装置の製造方法は、p型のシリコン半導体領域の表面にn型の不純物イオンを選択的に導入する工程と、上記n型の不純物イオンを活性化して、上記シリコン半導体領域の表面にn型拡散領域を形成する工程と、上記シリコン半導体領域の表面全面にp型の不純物イオンを導入して、シリコン半導体領域の表面をアモルファス化する工程と、上記n型拡散領域の表面にNiを堆積した後、熱処理を行って上記n型拡散領域の表面領域にNiシリサイド膜を形成する工程とを具備し、上記Niシリサイド膜の形成後に上記Niシリサイド膜の所定の深さ位置で $1 \times 10^{20} \text{ (cm}^{-3}\text{)}$ 以上のピーク濃度を持ち、かつ上記Niシリサイド膜とn型拡散領域との界面及びこれよりも深い位置における濃度が $5 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以下となる不純物プロファイルとなるように上記p型不純物のイオン注入を行うようにしている。

【0014】

【発明の実施の形態】

以下、図面を参照してこの発明を実施の形態により詳細に説明する。

【0015】

(第1の実施の形態のCMOS型半導体装置)

図1は、この発明の第1の実施の形態によるCMOS型半導体装置の断面構造を示している。なお、図では、CMOS型半導体装置のうちNMOSトランジスタが形成されているNMOSトランジスタ領域のみを示している。

【0016】

シリコン基板、例えばn型シリコン基板(n-sub)11の表面領域には素子分離絶縁膜12が形成されている。この素子分離絶縁膜12によってn型シリコン基板11が複数の素子領域に区分されており、各素子領域にはp型ウェル領域(p-well)13が形成されている。さらに各p型ウェル領域13の表面領域には、n型不純物として例えばAsが高濃度に拡散され、NMOSトランジスタのソース/ドレイン領域となる一対のn⁺型拡散領域14が所定の距離を隔てて形成されている。上記一対のn⁺型拡散領域14の表面領域には、これら一対のn⁺型拡散領域14よりも拡散深さが浅く、より広い面積を有し、かつ一対のn⁺型拡散領域14よりも低い濃度でn型不純物、例えばAsが拡散された一対のn⁻型拡散領域15が形成されている。この一対のn⁻型拡散領域15は、通常、エクステンション領域と称される。そして、上記一対のn⁻型拡散領域15の表面領域にはNiシサイド膜としてのNiSi膜16がそれぞれ形成されている。

【0017】

上記一対のn⁻型拡散領域15相互間の基板上には、SiO₂ (酸化シリコン)、SiON (酸窒化シリコン)、SiN (窒化シリコン) などからなるゲート絶縁膜17が形成されている。さらに、このゲート絶縁膜17上には、不純物がドーピングされて低抵抗化されたポリシリコン、或いはポリシリコンゲルマニウムなどからなるゲート電極18が形成されている。このゲート電極18の上部表面領域にもNiSi膜16が形成されている。

【0018】

上記ゲート電極18の側壁上及びその周囲の上記n⁻型拡散領域15の表面上にはシリコン窒化膜19が形成され、さらにゲート電極18の側壁上のシリコン

窒化膜 1 9 上にはシリコン酸化膜 2 0 が形成されている。

【 0 0 1 9 】

上記ゲート電極 1 8 を含む基板全面にコンタクトライナー膜としてのシリコン窒化膜 2 1 が形成されており、さらにシリコン窒化膜 2 1 上には、例えば T E O S、B P S G、S i N などからなる層間絶縁膜 2 2 が堆積されている。そして、上記層間絶縁膜 2 2 及びシリコン窒化膜 2 1 に対し、N i S i 膜 1 6 の表面に達するような一対のコンタクトホール 2 3 が開口されており、このコンタクトホール 2 3 内にコンタクト電極 2 4 が形成されている。コンタクト電極 2 4 は、例えば T i / T i N からなるバリアメタル 2 4 a と、W からなるコンタクトプラグ 2 4 b とから構成されている。

【 0 0 2 0 】

また、コンタクトライナー膜であるシリコン窒化膜 2 1 及び層間絶縁膜 2 2 を形成する前に、上記 N i S i 膜 1 6 の表面から基板の深さ方向に、B イオン又は B F₂ イオンが p 型不純物として注入されかつ活性化されており、図 1 中の X - X' 線に沿った不純物プロファイルは図 2 に示すようにされている。

【 0 0 2 1 】

図 2 において、曲線 a は n⁻型拡散領域 1 5 及び n⁺型拡散領域 1 4 における n 型不純物、つまり A s の不純物濃度の変化を示しており、曲線 b は B 又は F からなる p 型不純物の不純物濃度の変化を示している。

【 0 0 2 2 】

また、図 2 中に示された曲線 c は、チップシュリンクによってゲートサイズ、特にゲート幅が縮小された際に、一対の n⁻型拡散領域 1 5 がショートすることを防止するため、予め基板表面に導入される p 型不純物、例えば B 又は F の不純物濃度の変化を示している。この不純物プロファイルは一般にハロープロファイル (Halo profile) あるいはポケットプロファイル (Pocket profile) と呼ばれている。

【 0 0 2 3 】

この実施の形態の半導体装置では、N i S i 膜 1 6 の表面から深さ方向に B イオン又は B F₂ イオンからなる p 型不純物が導入されており、この p 型不純物の

不純物プロファイルは、図2中の曲線bに示すように、NiSi膜16内の所定の深さ位置、例えば表面から30 (nm) の深さの位置で 1×10^{20} (cm⁻³) 以上のピーク濃度を持ち、かつNiSi膜16とn⁺型拡散領域14との界面及びこれよりも深い位置における濃度が 5×10^{19} (cm⁻³) 以下となるようにされている。

【0024】

ここで、n型不純物としてAsを高濃度に含むn⁺型拡散領域14上にNiSi膜16が形成され、このNiSi膜16内にはAs、Ni、Oからなる化合物が存在している。

【0025】

本発明者等の考察によれば、この化合物の存在によりNiSi膜16の表面状態が荒れたものとなり、これによって層間絶縁膜22をエッチングする際にNiSi膜16がエッチングされ易くなったり、NiSi膜16上に形成されるコンタクトライナー膜としてのシリコン窒化膜21の剥がれが生じ易くなっていることが明らかとなった。

【0026】

この実施の形態の半導体装置では、NiSi膜16の表面から深さ方向にB又はFからなるp型不純物が導入されており、BやFがNiSi膜16の表面領域に存在している。このため、NiSi膜16内では、先に述べたAs、Ni、Oからなる化合物の形成が抑制され、この結果、NiSi膜16の表面状態を改善することができる。従って、層間絶縁膜22のエッチングの際にNiSi膜16がエッチングされ易くなったり、NiSi膜16上に形成されるコンタクトライナー膜としてのシリコン窒化膜21の剥がれを防止することができる。

【0027】

また、NiSi膜16内の表面から30 (nm) の深さの位置で 1×10^{20} (cm⁻³) 以上のピーク濃度を有するようにB又はFからなるp型不純物を導入することで、NiSi膜16の耐エッチング性と、NiSi膜16上に形成されるコンタクトライナー膜としてのシリコン窒化膜21の剥がれ防止効果とが十分に満足する程度にNiSi膜16の表面状態を改善することができる。

【0028】

さらに、NiSi膜16とn⁺型拡散領域14との界面及びこれよりも深い位置における濃度が $5 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以下となるようにB又はFからなるp型不純物を導入することで、NiSi膜16よりも下部のn⁺型拡散領域14におけるn型不純物濃度を十分に高く保ち、NiSi膜16とn⁺型拡散領域14との界面における抵抗を低くすることができる。この界面抵抗を低くすることにより、ソース／ドレイン領域における寄生抵抗の上昇を防ぐことができる。

【0029】

(第1の実施の形態の製造方法)

次に、図1に示す半導体装置を製造する際の第1の実施の形態の製造方法について、図3ないし図11の断面図を参照して説明する。

【0030】

まず、図3に示すように、シリコン基板、例えばn型シリコン基板(n-sub)11の表面領域に、埋めこみ素子分離法により深さ200～350(nm)の素子分離絶縁膜12を形成する。この素子分離絶縁膜12によってn型シリコン基板11が複数の素子領域に区分される。続いて、20(nm)以下の膜厚のシリコン酸化膜を全面に形成し、その後、p型／n型ウェル領域の形成と、N／P両MOSトランジスタのチャネル領域形成のためのイオン注入及び活性化RTA(高速熱酸化)を行う。典型的なイオン注入条件として、n型ウェル領域を形成する部分にはPイオンを500(KeV)の加速電圧、 $3.0 \times 10^{13} \text{ (cm}^{-2}\text{)}$ のドーズ量で導入し、n型ウェル領域に形成されるPMOSトランジスタのチャネル領域にはBイオンを50(KeV)の加速電圧、 $1.5 \times 10^{13} \text{ (cm}^{-2}\text{)}$ のドーズ量で導入する。p型ウェル領域を形成する部分にはBイオンを260(KeV)の加速電圧、 $2.0 \times 10^{13} \text{ (cm}^{-2}\text{)}$ のドーズ量で導入し、p型ウェル領域に形成されるNMOSトランジスタのチャネル領域にはAsイオンを100(KeV)の加速電圧、 $1.5 \times 10^{13} \text{ (cm}^{-2}\text{)}$ のドーズ量で導入する。なお、図3にはNMOSトランジスタが形成されるp型ウェル領域13のみが示されている。また、これ以降の説明ではNMOSトランジスタが形成されるNMOSトランジスタ領域に関する製造工程についてのみ説明するが、同様にしてPMOS

トランジスタ領域にはPMOSトランジスタが形成される。

【0031】

続いて、上記シリコン酸化膜を除去した後、熱酸化法、或いはLPCVD法（低圧化学的気相成長法）により、1～6（nm）の膜厚のシリコン酸化膜からなるゲート絶縁膜17を新たに形成する。続いて、全面に50～200（nm）の膜厚のポリシリコン、或いはポリシリコンゲルマニウムを堆積し、その後、光リソグラフィ法、X線リソグラフィ法、或いは電子ビームリソグラフィ法によって、例えば10～150（nm）の幅を有するようにパターンングし、RIEによりポリシリコン、或いはポリシリコンゲルマニウムを選択エッチングすることでゲート電極18を形成する。

【0032】

その後、先のハロープロファイル（Halo profile）を形成するために、全面に斜め方向からBイオンまたはBF₂イオンを導入する。

【0033】

なお、上記説明ではゲート絶縁膜17をSiO₂（酸化シリコン）によって形成する場合を説明したが、これはSiON（酸窒化シリコン）やSiN（窒化シリコン）、さらには高誘電体膜のTa₂O₅等を用いて形成してもよい。また、ゲート電極18は、ポリシリコンやポリシリコンゲルマニウムの代わりに、TiN、WNをバリアメタルとして用い、バリアメタル上にWを積層したメタルゲート構造にしてもよい。

【0034】

次に、後酸化膜として、熱酸化法によってシリコン酸化膜を1～6（nm）の膜厚で形成した後、図4に示すように、p型ウェル領域13の表面領域に一对のn⁺型拡散領域15を形成する。このn⁺型拡散領域15は、例えばAsイオンを1～5（KeV）の加速電圧、5.0E14～1.5E15（cm⁻²）のドーズ量で導入した後、活性化RTAを行うことで形成する。

【0035】

次に、図5に示すように、LPCVD法によって全面にシリコン窒化膜19を堆積し、さらに続いてシリコン酸化膜20を堆積する。

【0036】

続いて、R I Eにより上記シリコン酸化膜20及びシリコン窒化膜19を異方性エッチングによりエッチバックすることで、図6に示すように、ゲート電極18の側壁上及び及びその周囲のn⁻型拡散領域15の表面上に連続するようにシリコン窒化膜19を残し、さらにゲート電極18の側壁上のシリコン窒化膜19上にシリコン酸化膜20を残す。続いて、ゲート電極18をマスクに用いて、n型不純物として例えばAsイオンをp型ウェル領域13内にイオン注入して、n⁺型拡散領域14を形成するためのイオン注入領域14aを形成する。

【0037】

続いて、図7に示すように、NMOSトランジスタ領域の全面に、p型不純物として例えばBイオンやBF₂イオンを注入する。ここで、p型不純物としてBイオンを用いる場合の注入条件は例えば、加速電圧が0.5～1.5 (KeV)、ドーズ量が5.0E14～1.0E15であり、BF₂イオンを用いる場合は、加速電圧が5～10 (KeV)、ドーズ量が5.0E14～1.0E15である。この後、RTAを行って、先のイオン注入領域14aに注入されたイオンを活性化して一对のn⁺型拡散領域14を形成すると共に、先の図2中の曲線bに示すような不純物プロファイルが得られるようにBまたはBF₂を活性化する。

続いて、スパッタリング法により全面にNiを堆積した後、シリサイデーションのためのRTAを行う。シリサイデーションのためのRTAは、例えば400℃～500℃の温度範囲で行う。その後、硫酸と過酸化水素水との混合溶液による処理により未反応のNiを除去することにより、図8に示すように、一对のn⁻型拡散領域15の各表面領域及びゲート電極18の上部表面領域にそれぞれNiSi膜16を形成する。

【0038】

なお、Niを堆積した後に、続いてTiNを堆積してもよく、さらに、一度250℃～400℃の低温RTAを行った後に、硫酸と過酸化水素水との混合溶液で未反応のNiをエッチング除去した後、再度、低シート抵抗化のために400℃～500℃のRTAを行う2ステップアニール (2 step anneal) を行うようにしてもよい。

【0039】

この後、図9に示すように、全面にコンタクトライナー膜としてシリコン窒化膜21を堆積する。このコンタクトライナー膜は、後の工程であるコンタクトホール形成の際のRIEによってNiSi膜16が掘れ、接合リークが劣化することを防ぐために形成される。コンタクトライナー膜は、この後に堆積される層間絶縁膜に対し、RIE時の選択比の高い膜である必要がある。

【0040】

続いて、図10に示すように、全面に例えばTEOS、BPSG、SiNなどからなる層間絶縁膜22を堆積し、平坦化のためのCMP（化学的機械的研磨）プロセスを行った後、全面にフォトリソ resist を塗布し、光リソグラフィ法、X線リソグラフィ法、或いは電子ビームリソグラフィ法によってパターンニングして、一対のNiSi膜16に対応した位置にそれぞれ開口を有するレジストマスクを形成する。次に、このレジストマスクを用いたRIEにより、層間絶縁膜22及びその下部のシリコン窒化膜21を選択的にエッチング除去して、図10に示すように、一対のNiSi膜16の表面に通じる一対のコンタクトホール23を開口する。

【0041】

この後は、図11に示すように、コンタクトホール23の内部を含む全面に例えばTiまたはTiNからなるバリアメタル24aを堆積し、続いてWを選択成長、或いはブランケットに形成してコンタクトプラグ24bを埋め込んだ後、CMPプロセスを行ってコンタクト電極24を形成する。最後に、配線となる金属を堆積した後、配線のパターンニングを行うことによってCMOS型半導体装置が完成する。

【0042】

この第1の実施の形態の製造方法において、NiSi膜16の表面から深さ方向にBイオン又はBF₂イオンからなるp型不純物が導入され、BやFがNiSi膜16の表面領域に存在することになる。このため、NiSi膜16内では、先に述べたAs、Ni、Oからなる化合物の形成が抑制され、この結果、NiSi膜16の表面状態を改善することができる。従って、層間絶縁膜22をエッチ

ングする際にNiSi膜16がエッチングされ難くなり、また、NiSi膜16上に形成されているコンタクトライナー膜としてのシリコン窒化膜21の剥がれを防止することができる。

【0043】

また、NiSi膜16内の表面から30 (nm) の深さの位置で 1×10^{20} (cm^{-3}) 以上のピーク濃度を有するようにB又はFからなるp型不純物が導入されるので、NiSi膜16の耐エッチング性と、NiSi膜16上に形成されるコンタクトライナー膜としてのシリコン窒化膜21の剥がれ防止効果とが十分に満足する程度にNiSi膜16の表面状態を改善することができる。

【0044】

さらに、NiSi膜16と n^+ 型拡散領域14との界面及びこれよりも深い位置における濃度が 5×10^{19} (cm^{-3}) 以下となるようにB又はFからなるp型不純物が導入されるので、NiSi膜16よりも下部の n^+ 型拡散領域14におけるn型不純物濃度を十分に高く保つことができ、NiSi膜16と n^+ 型拡散領域14との界面における抵抗を低くすることができる。この界面抵抗を低くすることにより、ソース／ドレイン領域における寄生抵抗の上昇を防ぐことができる。

【0045】

(第2の実施の形態の製造方法)

次に、図1に示す半導体装置を製造する際の、第2の実施の形態の製造方法について説明する。

【0046】

上記第1の実施の形態の製造方法では、 n^+ 型拡散領域14を形成するためのイオン注入領域14aを形成し、この後、NMOSトランジスタ領域の全面にp型不純物として例えばBイオンや BF_2 イオンを注入した後、RTAを行ってイオン注入領域14aに注入されたイオンを活性化して一対の n^+ 型拡散領域14を形成すると共にBまたは BF_2 を活性化する場合について説明した。

【0047】

これに対し、この第2の実施の形態の製造方法では、図6に示したイオン注入

領域 14a を形成する前に、NMOS トランジスタ領域の全面に p 型不純物として例えば B イオンや BF_2 イオンを注入し、その後、イオン注入領域 14a を形成した後、RTA を行ってイオン注入領域 14a に注入されたイオンを活性化して一対の n^+ 型拡散領域 14 を形成すると共に B または BF_2 を活性化するものである。

【0048】

つまり、この第 2 の実施の形態の製造方法では、 n^+ 型拡散領域 14 を形成するための n 型不純物イオンの注入と、図 2 中の曲線 b で示される不純物プロファイルを形成するための p 型不純物イオンの注入の順番を、第 1 の実施の形態の製造方法とは逆にしたものである。

【0049】

この第 2 の実施の形態の製造方法においても、第 1 の実施の形態の製造方法と同様の効果を得ることができる。

【0050】

(第 3 の実施の形態の製造方法)

次に、図 1 に示す半導体装置を製造する際の、第 3 の実施の形態の製造方法について説明する。

【0051】

上述した第 1 の実施の形態の製造方法では、図 6 に示すイオン注入領域 14a を形成した後は直ちにこれを活性化せずに、B イオンや BF_2 イオンを注入した後で RTA を行い、イオン注入領域 14a に注入されたイオンを活性化して n^+ 型拡散領域 14 を形成すると共に B または BF_2 を活性化していた。

【0052】

これに対し、この第 3 の実施の形態の製造方法では、図 6 に示すイオン注入領域 14a を形成した後、直ちに RTA を行ってこれを活性化し、図 12 に示すように一対の n^+ 型拡散領域 14 を形成するようにしている。

【0053】

続いて、図 13 に示すように、NMOS トランジスタ領域の全面に、p 型不純物として例えば B イオンや BF_2 イオンを注入する。このイオン注入の際は、第

1、第2の実施の形態の方法の場合と同様に、p型不純物としてBイオンを用いる場合の注入条件は、加速電圧が0.5～1.5 (KeV)、ドーズ量が5.0E14～1.0E15であり、BF₂イオンを用いる場合は、加速電圧が5～10 (KeV)、ドーズ量が5.0E14～1.0E15である。このイオン注入により、基板表面はアモルファス化される。

【0054】

この後は、第1の実施の形態の方法における図8以降と同様の工程によりCMOS型半導体装置が製造される。

【0055】

この第3の実施の形態の製造方法においても、第1、第2の実施の形態の製造方法と同様の効果を得ることができる。

【0056】

さらにこの第3の実施の形態の製造方法によれば、基板表面をアモルファス化した状態でNiSi膜16を形成するので、NiSi膜16上に形成されるコンタクトライナー膜としてのシリコン窒化膜21の剥がれ防止効果をより向上させることができる。

【0057】

なお、この発明は、上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。

【0058】

さらに、上記実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0059】

【発明の効果】

以上説明したようにこの発明によれば、NMOSトランジスタ領域におけるソ

ース／ドレイン領域上に形成されるNiシリサイド膜をエッチングされ難くすることができ、かつソース／ドレイン領域上のNiシリサイド膜上に形成されるコンタクトライナー膜の剥がれを防止することができる半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】 この発明の第1の実施の形態によるCMOS型半導体装置の断面図。

【図2】 図1中のX-X'線に沿った不純物プロファイルを示す図。

【図3】 第1の実施の形態の製造方法の最初の工程を示す断面図。

【図4】 図3に続く工程を示す断面図。

【図5】 図4に続く工程を示す断面図。

【図6】 図5に続く工程を示す断面図。

【図7】 図6に続く工程を示す断面図。

【図8】 図7に続く工程を示す断面図。

【図9】 図8に続く工程を示す断面図。

【図10】 図9に続く工程を示す断面図。

【図11】 図10に続く工程を示す断面図。

【図12】 第3の実施の形態の製造方法の途中の工程を示す断面図。

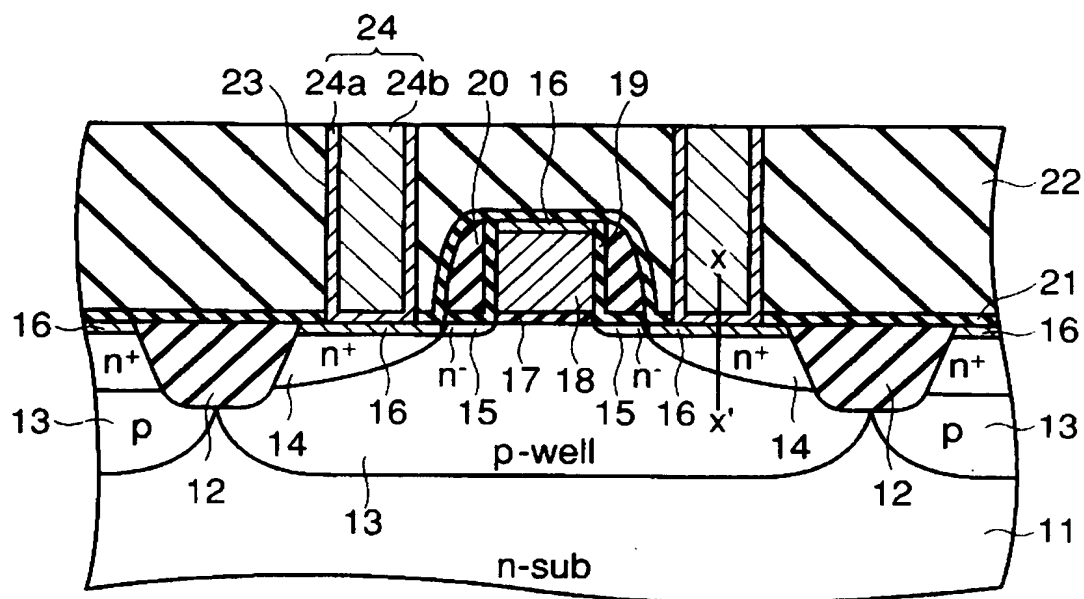
【図13】 図12に続く工程を示す断面図。

【符号の説明】

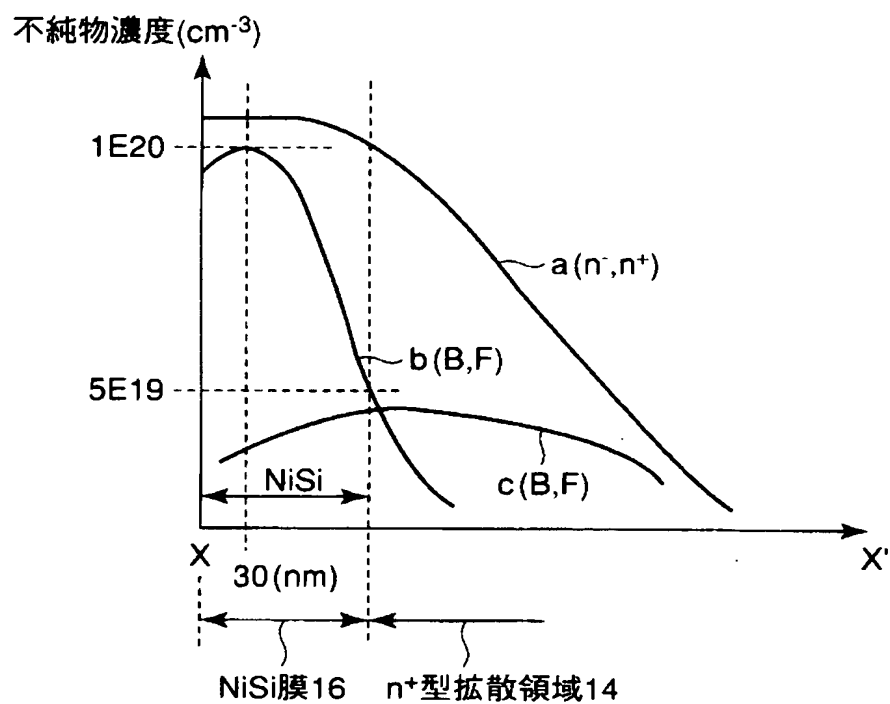
11…n型シリコン基板（n-sub）、12…素子分離絶縁膜、13…p型ウェル領域（p-well）、14…n⁺型拡散領域、15…n⁻型拡散領域、16…NiSi膜、17…ゲート絶縁膜、18…ゲート電極、19…シリコン窒化膜、20…シリコン酸化膜、21…シリコン窒化膜（コンタクトライナー膜）、22…層間絶縁膜、23…コンタクトホール、24…コンタクト電極、24a…バリアメタル、24b…コンタクトプラグ。

【書類名】 図面

【図 1】

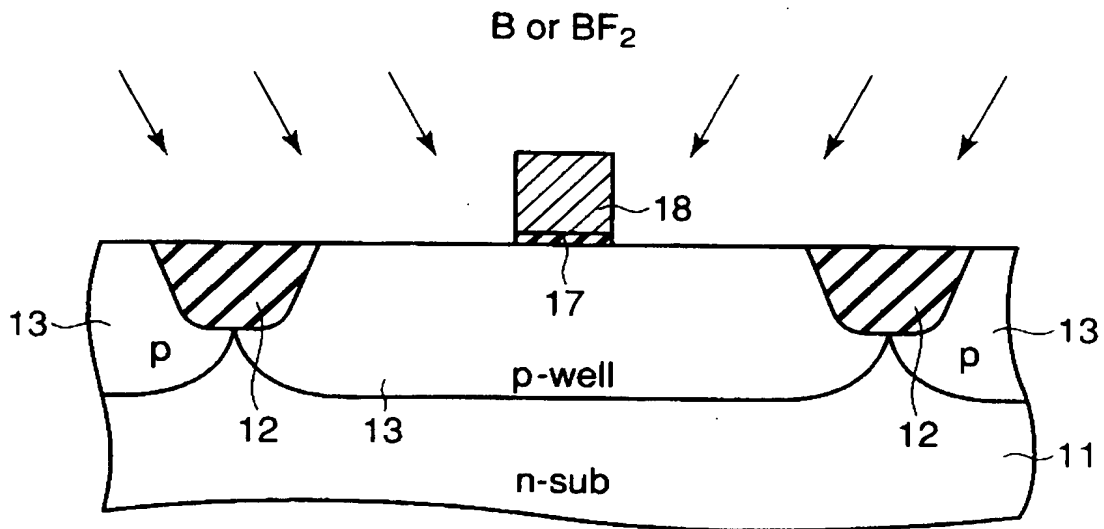


【図 2】

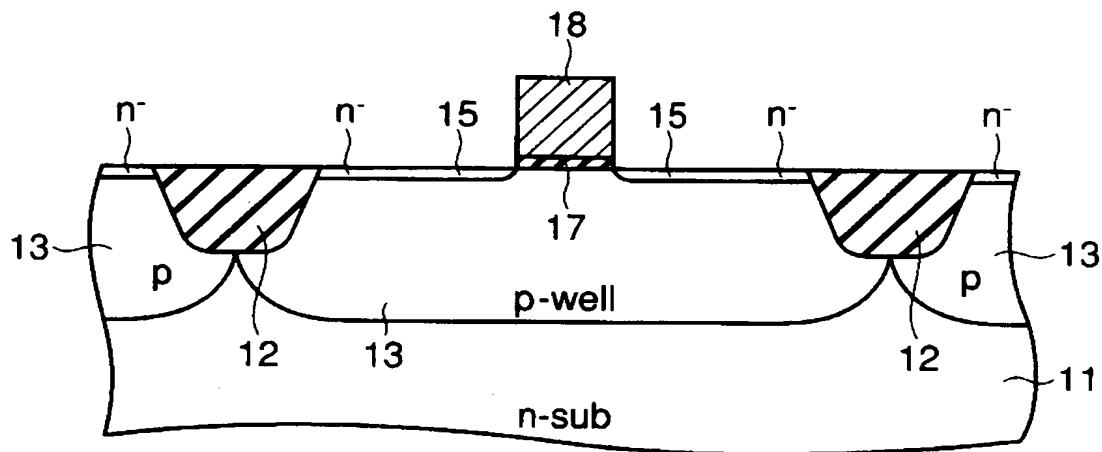


BEST AVAILABLE COPY

【図 3】

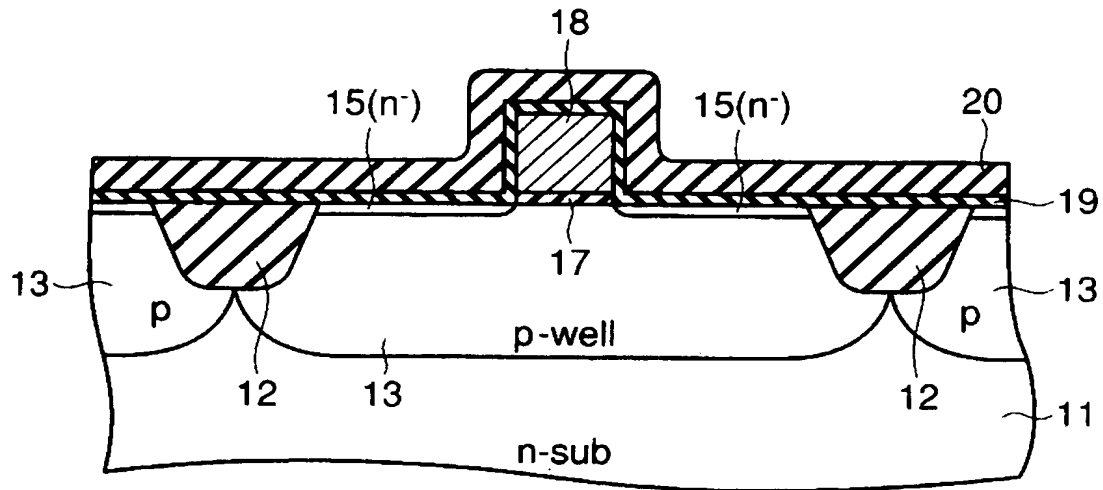


【図 4】

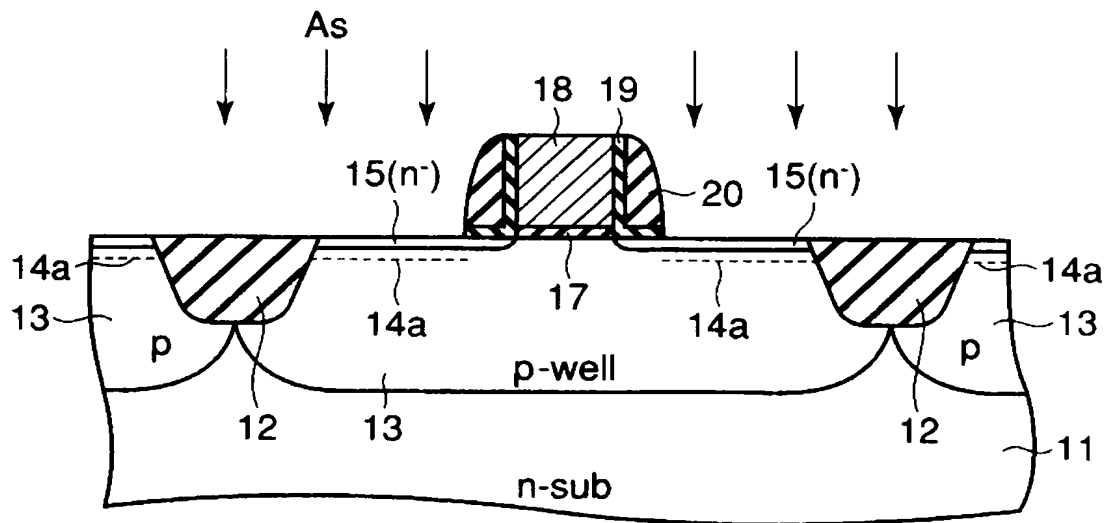


BEST AVAILABLE COPY

【図 5】

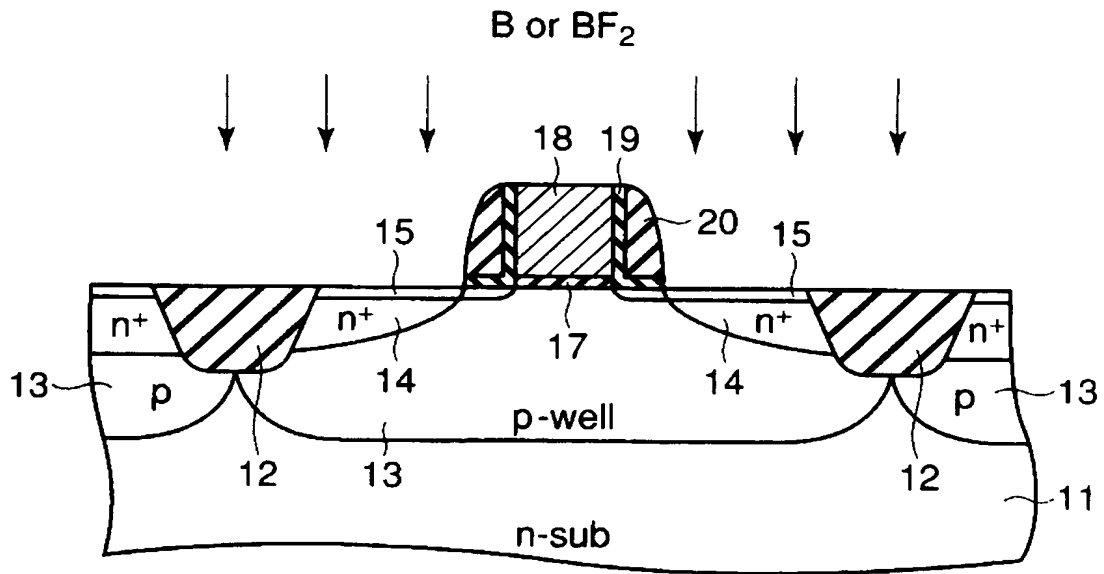


【図 6】

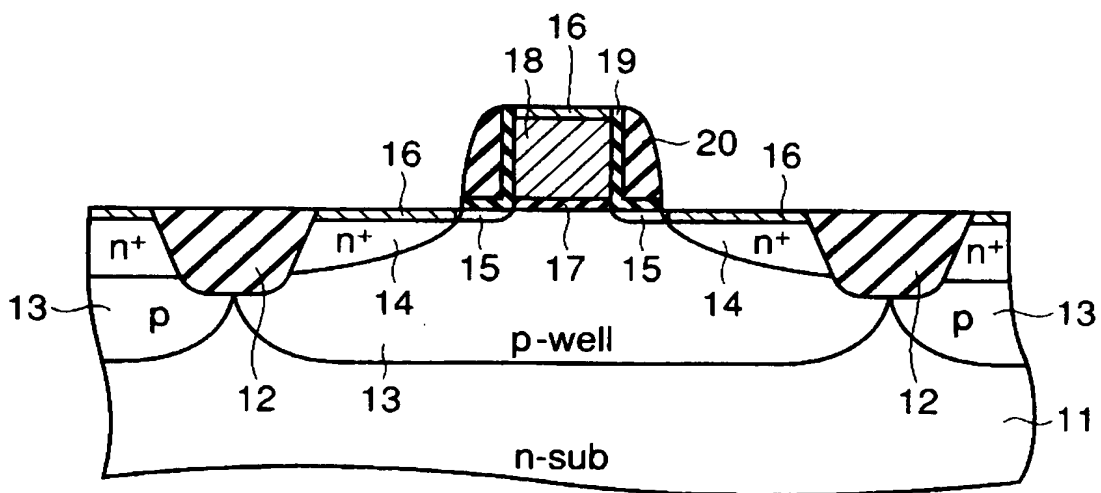


BEST AVAILABLE COPY

【図 7】

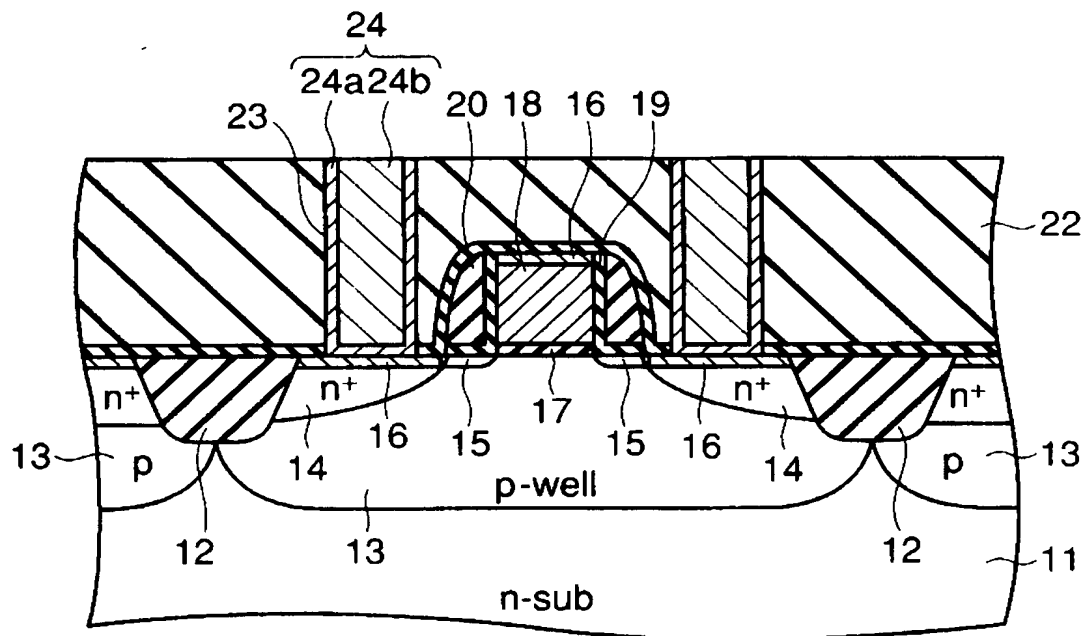


【図 8】



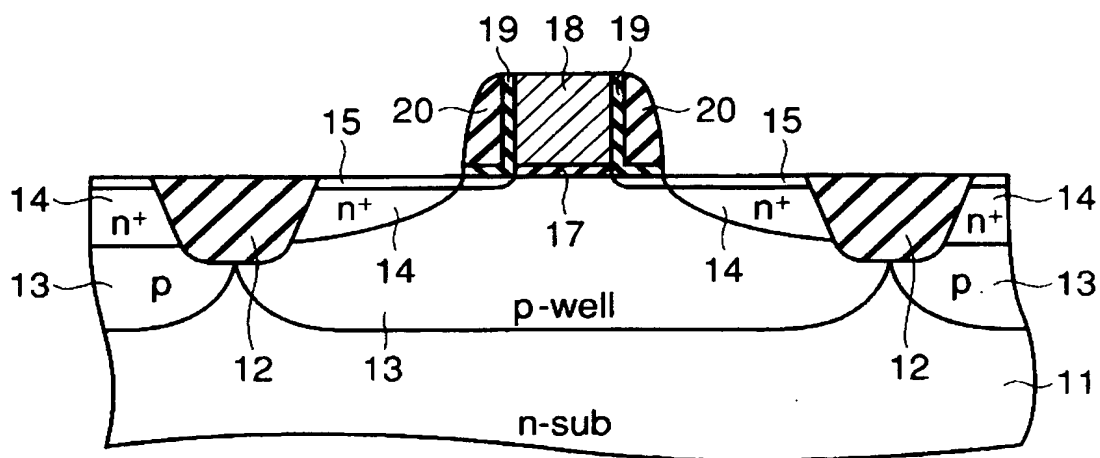
BEST AVAILABLE COPY

【図 1 1】

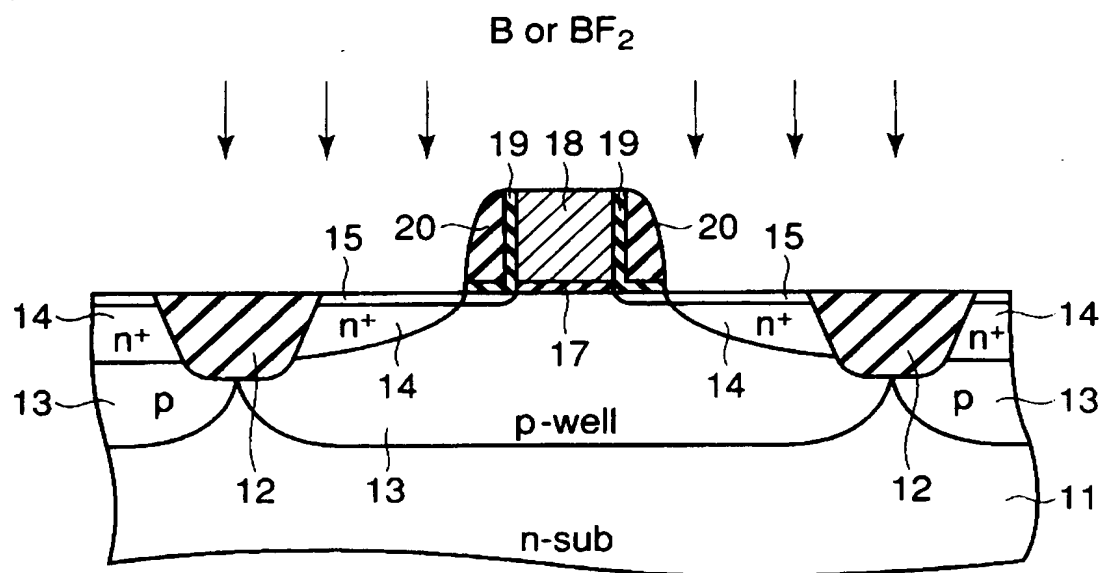


BEST AVAILABLE COPY

【圖 1 2】



【図 13】



BEST AVAILABLE COPY

【書類名】 要約書

【要約】

【課題】 N i シリサイドプロセスで問題となる n + 型拡散領域におけるシリサイド膜の荒れやシリサイド膜の剥がれ、さらにはシリサイド膜上に形成されるコンタクトライナー膜の剥がれを防ぐ。

【解決手段】 p 型ウェル領域 1 3 と、その表面領域に形成された n + 型拡散領域 1 4 と、 p 型ウェル領域 1 3 上にゲート絶縁膜 1 7 を介して形成されたシリコンを含むゲート電極 1 8 と、 n + 型拡散領域 1 4 の表面領域に形成された N i S i 膜 1 6 と備え、 N i S i 膜 1 6 の表面から深さ方向に p 型不純物が導入されており、この p 型不純物は、 N i S i 膜 1 6 内の所定の深さ位置で $1 \text{ E } 20 \text{ (cm}^{-3}\text{)}$ 以上のピーク濃度を持ち、かつ N i S i 膜 1 6 と n + 型拡散領域 1 4 との界面及びこれよりも深い位置における濃度が $5 \text{ E } 19 \text{ (cm}^{-3}\text{)}$ 以下となるような不純物プロファイルを有している。

【選択図】 図 1

特願 2 0 0 3 - 0 7 7 6 4 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝